

**SOLID-STATE IMAGE SENSING DEVICE**

**Publication Number:** 2001-230406 (JP 2001230406 A) , August 24, 2001

**Inventors:**

- NAKANO TAKASHI

**Applicants**

- NEC CORP

**Application Number:** 2000-039937 (JP 200039937) , February 17, 2000

**International Class:**

- H01L-029/762
- H01L-021/339
- H04N-005/335

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a solid-state image sensing device with a high-gain source-follower-type amplifier where a power supply voltage VDD with a higher potential than a substrate voltage Vs is supplied. **SOLUTION:** A first conductivity type semiconductor substrate 10 is connected to an approximately 5 V substrate voltage Vs. A second conductivity type region 11 is formed on the first conductivity type semiconductor substrate 10, a first conductivity type well 12 is formed in it, and a second conductivity well 13 is formed in it. In the second conductivity type well 13, a driver transistor Q13 is formed, and the well 13 is connected to a source diffusion layer 18a of the driver transistor Q13. In the second conductivity type region 11, a load transistor Q23 is formed and is connected to the ground. The first conductivity type well 12 is connected to an approximately 15 V power supply voltage VDD via a first conductivity type diffusion layer 16. The second conductivity type well 13 is electrically separated from the first conductivity type well 12. COPYRIGHT: (C)2001,JPO

**JAPIO**

© 2005 Japan Patent Information Organization. All rights reserved.  
Dialog® File Number 347 Accession Number 7002789

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230406

(P2001-230406A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/762

H 0 4 N 5/335

E 4 M 1 1 8

21/339

U 5 C 0 2 4

H 0 4 N 5/335

H 0 1 L 29/76

3 0 1 C

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-39937(P2000-39937)

(22) 出願日 平成12年2月17日(2000.2.17)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中野 隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096231

弁理士 稲垣 清

Fターム(参考) 4M118 AA04 AA10 AB01 BA14 CA02

DD09 FA06 FA13

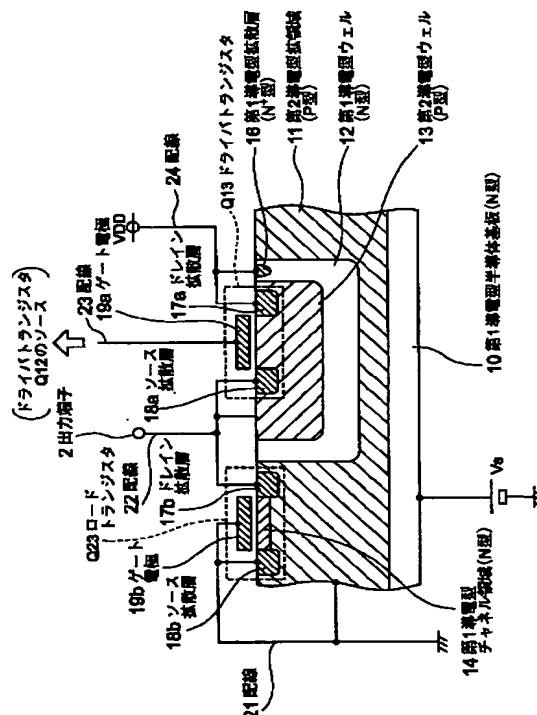
50024 GX15 GY31 GY35 GY39

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】 基板電圧 $V_s$ に比して高電位の電源電圧 $V_{DD}$ が供給される高利得のソースフォロア型アンプを備える固体撮像素子を提供する。

【解決手段】 第1導電型半導体基板10は、5V程度の基板電圧 $V_s$ に接続される。第1導電型半導体基板10上に、第2導電型領域11が形成され、第1導電型ウェル12がその内に形成され、第2導電型ウェル13がその内に形成される。第2導電型ウェル13は、ドライバトランジスタ $Q_{13}$ が形成され、ドライバトランジスタ $Q_{13}$ のソース拡散層18aに接続される。第2導電型領域11は、ロードトランジスタ $Q_{23}$ が形成され、グラウンドに接続される。第1導電型ウェル12は、第1導電型拡散層16を介して15V程度の電源電圧 $V_{DD}$ に接続される。第2導電型ウェル13は、第1導電型ウェル12から電氣的に分離される。



**【特許請求の範囲】**

**【請求項 1】** ソースフォロア型アンプを有する固体撮像素子において、

第 1 導電型基板と、前記第 1 導電型基板内に形成された第 2 導電型領域と、該第 2 導電型領域内に形成された第 1 導電型ウェル及びロードトランジスタと、前記第 1 導電型ウェル内に形成された第 2 導電型ウェルと、該第 2 導電型ウェル内に形成されたドライバトランジスタとを備え、前記ロードトランジスタと前記ドライバトランジスタとがソースフォロア型アンプを形成することを特徴とする固体撮像素子。

**【請求項 2】** 前記ドライバトランジスタのソースと前記第 2 導電型ウェルとが接続される、請求項 1 に記載の固体撮像素子。

**【請求項 3】** 前記ドライバトランジスタのドレインと前記第 1 導電型ウェルとが接続される、請求項 1 に記載の固体撮像素子。

**【請求項 4】** 前記固体撮像素子がカスケード接続された 3 段のソースフォロア型アンプを備え、初段のソースフォロア型アンプのドライバトランジスタは前記第 2 導電型領域内に形成されており、第 2 及び第 3 段のソースフォロア型アンプのドライバトランジスタが前記第 2 導電型ウェル内に形成されていることを特徴とする、請求項 1 ～ 3 の何れかに記載の固体撮像素子。

**【請求項 5】** 前記ドライバトランジスタ及び前記ロードトランジスタが、表面型又は埋込み型である、請求項 1 ～ 4 の何れかに記載の固体撮像素子。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、固体撮像素子に関し、より詳細には、光電変換部で検出された微弱な電気信号を増幅するバッファ機能を有する出力アンプ部に関するものである。

**【0002】**

**【従来の技術】** MOS 型固体撮像素子は、光電変換によって光を電荷に変換する撮像領域部、電荷を転送する電荷転送部、及び、電荷を所定の電圧信号に変換する出力アンプ部を備える。撮像領域部は、例えばアレイ状に多数が配置されたフォトダイオードによって入射光に応じた電荷を発生する。出力アンプ部は、出力インピーダンスが低いソースフォロア型アンプとして構成され、撮像領域部及び電荷転送部と共に同一基板上に搭載される。

**【0003】** 図 5 (a) 及び (b) は、特開昭 60-223161 号公報に記載の固体撮像素子の回路図及び構造図である。同図 (a) は、ソースフォロア型アンプを成す出力部の回路図である。ソースフォロア型アンプは、相互に直列に接続された、電気信号  $S_i$  をゲートに入力するドライバトランジスタ  $Q_{14}$ 、及び、バイアス電圧  $V_b$  をゲートに入力するロードトランジスタ  $Q_{24}$  を有する。ドライバトランジスタ  $Q_{14}$  は、ソースフォ

ロア型増幅器として作動し、ロードトランジスタ  $Q_{24}$  は、ソースフォロア型アンプの定電流源（ソース側抵抗）として働く。

**【0004】** 同図 (b) は、固体撮像素子の出力アンプ部の構造を示す断面図である。固体撮像素子は、第 1 導電型 (N 型) 半導体基板 10 上に形成される。ドライバトランジスタ  $Q_{14}$  は、図中の中央側に示す第 2 の第 2 導電型 (P 型) 領域 11 内に形成され、ロードトランジスタ  $Q_{24}$  は、図中の左側に示す第 1 の第 2 導電型 (P 型) 領域 11 内に形成される。ドライバトランジスタ  $Q_{14}$  及びロードトランジスタ  $Q_{24}$  は、同図 (a) のソースフォロア型アンプを構成する。

**【0005】**

**【発明が解決しようとする課題】** 上記公報に記載の技術は、ドライバトランジスタ  $Q_{14}$  のソースとサブストレートとが接続されることにより、ソースフォロア型アンプの利得を高めている。

**【0006】** また、固体撮像素子は、撮像領域にあるフォトダイオードが良好な特性を示すように、半導体基板 10 に基板電圧  $V_s$  が供給され、ソースフォロア型アンプの動作が線形な範囲を確保できるようにソースフォロア型アンプのドレイン側に電源電圧  $V_{DD}$  が供給される。従来、基板電圧  $V_s$  及び電源電圧  $V_{DD}$  の電圧は、1.5 V 程度であったが、消費電力を削減する低電圧化に伴い、現在は基板電圧  $V_s$  を 5 V 程度に抑えている。

**【0007】** ソースフォロア型アンプは、線形な動作範囲が確保できるように、ドライバトランジスタ  $Q_{14}$  のソース拡散層 18a の電位が電源電圧  $V_{DD}$  の中間電圧の 7.5 V 程度に維持され、図中の中央側に示す第 2 の第 2 導電型領域 11 は、ドライバトランジスタ  $Q_{14}$  のソース拡散層 18a の電位と同じである。ここで、低電圧化のために基板電圧  $V_s$  を 5 V 程度に抑えることによって、第 2 の第 2 導電型領域 11 は、第 1 導電型半導体基板 10 に比して 2.5 V 程度電位が高くなるので、半導体基板 10 との PN 接合面が順方向にバイアスされることとなる。この場合、第 2 の第 2 導電型領域 11 と第 1 導電型半導体基板 10 とが電氣的に分離されないの

で、ドライバトランジスタ  $Q_{14}$  の機能が損なわれる。  
**【0008】** 本発明は、上記したような従来の技術が有する問題点を解決するためになされたものであり、基板電圧  $V_s$  に比して高電位の電源電圧  $V_{DD}$  を供給する際に、有効に PN 接合面に逆バイアス電圧を供給することができる高利得のソースフォロア型アンプを備える固体撮像素子を提供することを目的とする。

**【0009】**

**【課題を解決するための手段】** 上記目的を達成するため、本発明の固体撮像素子は、ソースフォロア型アンプを有する固体撮像素子において、第 1 導電型基板と、前記第 1 導電型基板内に形成された第 2 導電型領域と、該第 2 導電型領域内に形成された第 1 導電型ウェル及びロ

ードトランジスタと、前記第 1 導電型ウェル内に形成された第 2 導電型ウェルと、該第 2 導電型ウェル内に形成されたドライバトランジスタとを備え、前記ロードトランジスタと前記ドライバトランジスタとがソースフォロア型アンプを形成することを特徴とする。

【0010】本発明の固体撮像素子は、第 1 導電型半導体基板に供給する基板電圧をドライバトランジスタのドレインに供給する電源電圧より低くしても、ドライバトランジスタのソースである第 2 導電型ウェルは第 1 導電型半導体基板から電気的に分離されるので、高利得のソースフォロア型アンプとして動作する。

【0011】本発明の固体撮像素子は、前記ドライバトランジスタのソースと前記第 2 導電型ウェルとが接続されること、又は、前記ドライバトランジスタのドレインと前記第 1 導電型ウェルとが接続されることが好ましい。この場合、確実に第 1 導電型ウェルと第 2 導電型ウェルとが電気的に分離される。

【0012】本発明の固体撮像素子では、前記固体撮像素子がカスケード接続された 3 段のソースフォロア型アンプを備え、初段のソースフォロア型アンプのドライバトランジスタは前記第 2 導電型領域内に形成されており、第 2 及び第 3 段のソースフォロア型アンプのドライバトランジスタが前記第 2 導電型ウェル内に形成されていることもできる。

【0013】また、本発明の固体撮像素子は、前記ドライバトランジスタ及び前記ロードトランジスタが、表面型又は埋込み型であることもできる。

【0014】

【発明の実施の形態】以下、本発明の実施形態例に基づいて、本発明の固体撮像素子について図面を参照して説明する。図 1 は、本発明の一実施形態例の固体撮像素子の構造を示す断面図である。本実施形態例の固体撮像素子は、光電変換し電気信号を発生する撮像領域部 102、及び、電気信号を検出信号に変換する出力アンプ部 101 を有し、第 1 導電型 (N 型) 半導体基板 10 上に構成される。第 1 導電型半導体基板 10 は、5 V 程度の基板電圧  $V_s$  に接続される。第 1 導電型半導体基板 10 上に、第 2 導電型 (P 型) 領域 11 が形成され、第 2 導電型領域 11 内に、第 1 導電型ウェル 12 が形成され、第 1 導電型ウェル 12 内に、第 2 導電型ウェル 13 が形成される。

【0015】図 2 は、図 1 の出力アンプ部 101 の回路図である。各段のソースフォロア型アンプ 3～5 は夫々、n チャネル型のドライバトランジスタ  $Q_{11} \sim Q_{13}$  と n チャネル型のロードトランジスタ  $Q_{21} \sim Q_{23}$  とを 1 組として構成される。ドライバトランジスタ  $Q_{11} \sim Q_{13}$  のドレインは全て、15 V 程度の電源電圧  $V_{DD}$  に接続される。ロードトランジスタ  $Q_{21} \sim Q_{23}$  のゲート、ソース、及び、サブストレートは全て、グラウンドに接続される。ドライバトランジスタ  $Q_{11} \sim Q_{13}$

3 のソースは夫々、対応するロードトランジスタ  $Q_{21} \sim Q_{23}$  のドレインに接続される。

【0016】ドライバトランジスタ  $Q_{11}$  は、ゲートが入力端子 1 に接続され、サブストレートがグラウンドに接続され、ソースがドライバトランジスタ  $Q_{12}$  のゲートに接続される。ドライバトランジスタ  $Q_{12}$  は、ソースがそのサブストレート、及び、ドライバトランジスタ  $Q_{13}$  のゲートに接続される。ドライバトランジスタ  $Q_{13}$  は、ソースがサブストレート、及び、出力端子 2 に接続される。固体撮像素子は、入力端子 1 が図示されない撮像領域部の電気信号出力端子に接続され、出力端子 2 が図示されない外部回路の信号入力端子に接続される。

【0017】ドライバトランジスタ  $Q_{11} \sim Q_{13}$  は、夫々のゲートに入力する信号を低インピーダンス変換し、そのソースから同相の信号として出力する。ロードトランジスタ  $Q_{21} \sim Q_{23}$  は、設定された一定のドレイン電流が流れる定電流源として動作し、ドレイン・ソース間が見かけ上高インピーダンスになる。ソースフォロア型アンプ 3～5 は、ドライバトランジスタのソースとグラウンドとの間の抵抗分が小さいと増幅度が小さくなる。ドライバトランジスタのソースとグラウンドとの間は、定電流源が接続される場合に比して、固定抵抗が接続される場合には、ソースから出力する信号の振幅が減衰する。

【0018】図 3 は、図 2 のソースフォロア型アンプ 5 の構造を示す断面図である。第 1 導電型拡散層 16 は、アルミ配線と接続するためのコンタクト領域を構成し、第 1 導電型ウェル 12 上の表面部分に形成される。第 1 導電型ウェル 12 は、第 1 導電型拡散層 16 を介して電源電圧  $V_{DD}$  に接続される。ドライバトランジスタ  $Q_{13}$  は、第 2 導電型ウェル 13 上に形成され、予めチャンネルが存在しない表面型である。ロードトランジスタ  $Q_{23}$  は、第 2 導電型領域 11 上に形成され、第 1 導電型チャンネル領域 14 として予めチャンネルが存在する埋込み型であり、ドライバトランジスタ  $Q_{11}$  及び  $Q_{13}$  以外のトランジスタは、全て埋込み型である。

【0019】全てのトランジスタについて、ゲート長及びゲート幅の設計値は、帯域等のトランジスタ特性が設計基準を満たすように、最適値が夫々採用される。ここで、表面型又は埋込み型の何れかであるかを指定すれば、トランジスタ構造は同じになる。

【0020】ゲート絶縁膜は、シリコン酸化膜のみの構造、又は、シリコン酸化膜で窒化シリコン膜を挟んだ構造 (ONO 膜) から成る。ゲート電極 19a 及び 19b は、ポリシリコンから成り、リン等の N 型不純物を拡散することで金属のように低抵抗化される。第 1 導電型拡散層 16、ソース拡散層 18a、18b、ドレイン拡散層 17a、及び、17b は、リン等の N 型不純物をドーピングすることによって形成される。イオン注入は、P 型領域及び N 型領域に対して双方とも、数百 keV の加速エ

エネルギーを用い、注入濃度が  $1 \times 10^{12}$  のオーダーで行われる。

【0021】図4は、図2のソースフォロア型アンプ5の構造を示す平面図である。配線21～24は、配線材料としてアルミが使用される。コンタクト34は、P型の領域との接続であるので、第2導電型ウェル13と直接に接続される。コンタクト31～33及び35～38は夫々、N型領域との接続であり、良好なオーム接触が得られるように、N型不純物が注入された拡散層を介して接続される。

【0022】ここで、ソースフォロア型アンプのゲインGについて説明する。ソースフォロア型アンプは、ドライバトランジスタに対して、相互コンダクタンスを  $g_m$ 、サブストレートのコンダクタンスを  $g_{mb}$ 、出力コンダクタンスを  $g_{ds1}$  とし、ロードトランジスタに対して、出力コンダクタンスを  $g_{ds2}$  とすると、利得Gが  $g_m / (g_m + g_{mb} + g_{ds1} + g_{ds2})$  で表現される。ドライバトランジスタのサブストレートとソースとを接続すれば、上式の  $g_{mb}$  が0となるので、利得Gが高くなる。

【0023】ドライバトランジスタQ13は、チャネルがゲート酸化膜を介してゲート電極19aと結合し、チャネルが直下の空乏層を介して第2導電型ウェル13と結合している。ドライバトランジスタQ13は、ゲート電極19aに信号を入力すると、チャネル電位が変調される。チャネル電位の変調は、ゲート電極19aとチャネルとの結合度を示す相互コンダクタンス  $g_m$  が大きいと促進され、一定電位である第2導電型ウェル13とチャネルとの結合度を示すサブストレートのコンダクタンス  $g_{mb}$  が小さいと促進される。

【0024】固体撮像素子においては、光電変換により得られた信号電荷を出力部の、①浮遊電荷容量と、②浮遊電荷容量から初段ドライバトランジスタQ11までの配線容量と、③初段ドライバトランジスタQ11の入力容量、の合計から成る電荷検出容量で電圧に変換してソースフォロアアンプを介して出力するため、電荷検出容量が大きいと出力電圧が減少する。初段ソースフォロア3にも本発明を適用すると初段ソースフォロア3の利得Gは増加するものの、浮遊電荷容量から初段ドライバトランジスタQ11までの配線長がのびて電荷検出容量が増加してしまうため、出力電圧としては初段ソースフォロア3には本発明を適用しない方が増加する場合が多い。従って、本実施例では初段ソースフォロア3には本発明を適用していない。ドライバトランジスタQ11は、サブストレートをグランドに接続するトランジスタ構造にしている。また、利得Gの向上を重視する場合、又は、配線容量が小さい場合には、全てのソースフォロア型アンプ3～5に対して、ドライバトランジスタのサブストレートとソースとが接続されるトランジスタ構造が採用される。

【0025】第1導電型ウェル12の電位は15Vになり、第2導電型ウェル13の電位は7.5Vになり、第1導電型半導体基板10の電位は5Vになり、第2導電型領域11の電位は0Vになる。第1導電型ウェル12、第2導電型ウェル13、第1導電型半導体基板10、及び、第2導電型領域11は、形成されるPN接合面が全て逆バイアスされる。

【0026】上記実施形態例によれば、第1導電型半導体基板に供給する基板電圧をドライバトランジスタのドレインに供給する電源電圧より低くしても、ドライバトランジスタのソースである第2導電型ウェルは第1導電型半導体基板から電気的に分離されるので、高利得のソースフォロア型アンプとして動作する。

【0027】なお、上記実施形態例ではNチャンネルトランジスタについて説明したが、不純物の導電型をかえればPチャンネルトランジスタについても同様な効果が得られる。また、上記実施形態例ではドライバトランジスタQ13及びQ23のみが表面型である構成について説明したが、各トランジスタが表面型又は埋込み型の何れかである構成についても本発明は適用できる。

【0028】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の固体撮像素子は、上記実施形態例の構成にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した固体撮像素子も、本発明の範囲に含まれる。

#### 【0029】

【発明の効果】以上説明したように、本発明の固体撮像素子では、第1導電型半導体基板に供給する基板電圧をドライバトランジスタのドレインに供給する電源電圧より低くしても、ドライバトランジスタのソースである第2導電型ウェルは第1導電型半導体基板から電気的に分離されるので、高利得のソースフォロア型アンプとして動作する。また、供給する基板電圧を低く設定できるので、低消費電力対策に貢献できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態例の固体撮像素子の構造を示す断面図である。

【図2】図1の固体撮像素子の出力アンプ部の回路図である。

【図3】図2の第3段ソースフォロア型アンプ5の構造を示す断面図である。

【図4】図2の第3段ソースフォロア型アンプ5の構造を示す平面図である。

【図5】同図(a)及び(b)は、特開昭60-223161号公報に記載の固体撮像素子の回路図及び構造図である。

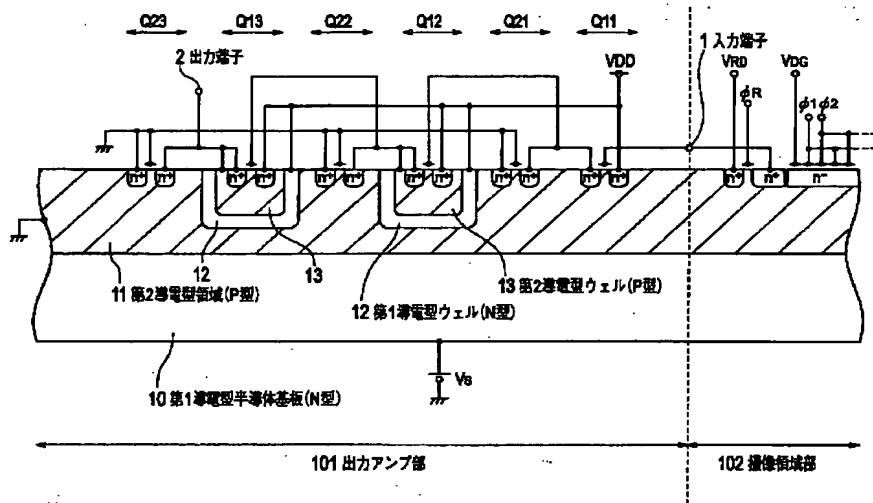
#### 【符号の説明】

- 1 入力端子
- 2 出力端子
- 3 初段ソースフォロア型アンプ

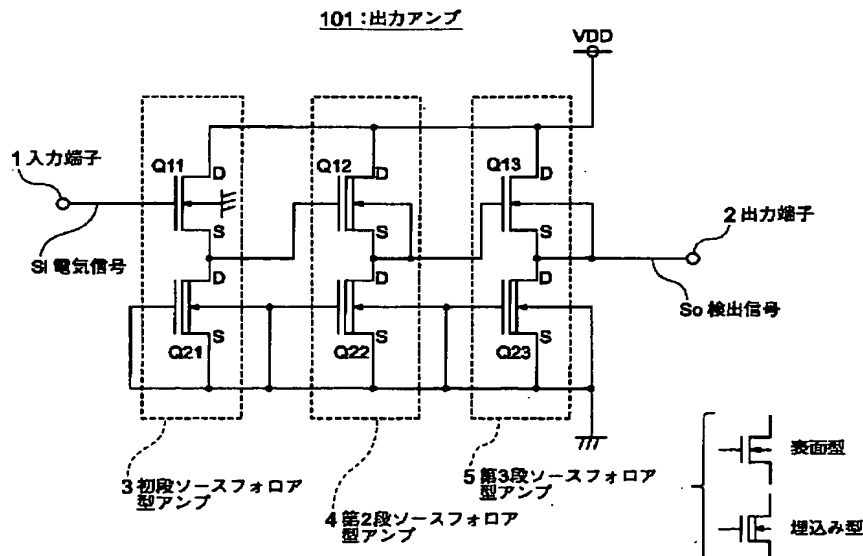
- 4 第2段ソースフォロア型アンプ  
 5 第3段ソースフォロア型アンプ  
 10 第1導電型半導体基板 (N型)  
 11 第2導電型領域 (P型)  
 12 第1導電型ウェル (N型)  
 13 第2導電型ウェル (P型)  
 14 第1導電型チャネル領域 (N型)  
 16 第1導電型拡散層 (N型)  
 17 a, 17 b ドレイン拡散層 (N型)  
 18 a, 18 b ソース拡散層 (N型)  
 19 a, 19 b ゲート電極

- 21~24 配線  
 31~38 コンタクト  
 Q11~Q14 ドライバトランジスタ (nチャネル型)  
 Q21~Q24 ロードトランジスタ (nチャネル型)  
 VDD 電源電圧  
 Vs 基板電圧  
 Vb バイアス電圧  
 Si 電気信号  
 10 So 検出信号

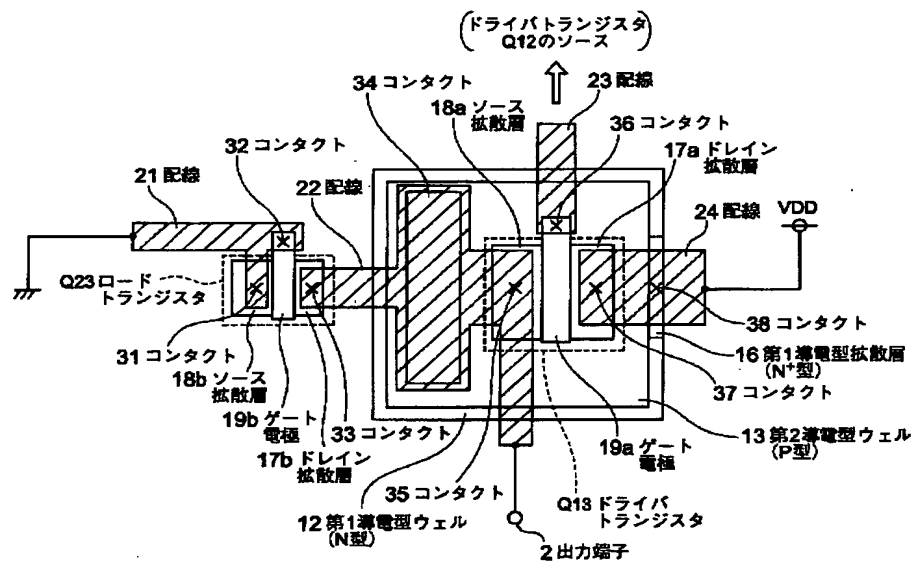
【図1】



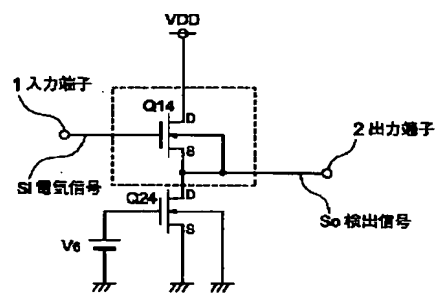
【図2】



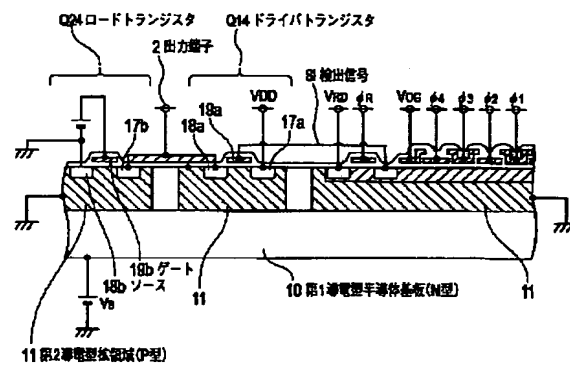
(ドライパトランジスタ)  
Q12のソース



【図5】



(a)



(b)